

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

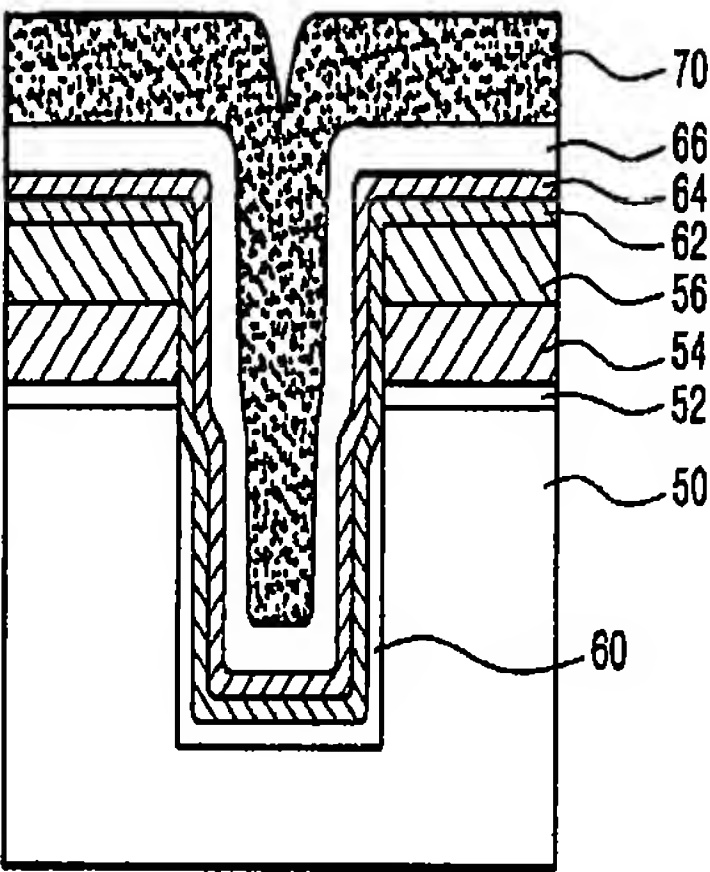
(11)Publication number: 1020000041590 A
(43)Date of publication of application: 15.07.2000

(21)Application number:	1019980057523	(71)Applicant:	SAMSUNG ELECTRONICS CO., LTD.
(22)Date of filing:	23.12.1998	(72)Inventor:	OH, JAE HUI
(30)Priority:	..		
(51)Int. Cl	H01L 21/28		

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A manufacturing method of a semiconductor device is to improve gap fill characteristics of a trench by using an oxidized polysilicon film as a gap fill filling the trench. CONSTITUTION: A manufacturing method of a semiconductor device comprises the steps of: depositing a pad oxide film(52), a silicon nitride film(54), a HTO (High Temperature Oxidation)(56) in this sequence on a semiconductor device(50); forming a trench having a predetermined depth on the semiconductor device; depositing a first oxide film(62) and a second oxide film(64) on the inside and outside entire surfaces of the trench; depositing a CVD oxide film(66) and a polysilicon film on the second oxide film; and forming a thermal oxide film(70) filling the trench by thermal oxidizing the polysilicon film. Thereby, a void formation in trench is prevented. The polysilicon film is formed by a mono-silane polysilicon film.



COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (20031217)
Notification date of refusal decision ()
Final disposal of an application (registration)
Date of final disposal of an application (20060322)
Patent registration number (1005688490000)
Date of registration (20060403)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent ()
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()
Date of extinction of right ()

엠.피(Cheical Mechanical Polishing)공정이 도입됨에 따라 STI공정은 보다 단순하게 되었다.

도 1 및 도 2 는 종래 반도체소자의 제조방법을 도시한 제조공정도이다.

도 1을 참조하면, 먼저, 반도체기판(10) 상에 패드산화막(12)과, 실리콘질화막(14), HT0(High Temperature Oxidation)막(16)을 순차적으로 적층한다. 그 후, HT0막(16) 상에 트렌치용 감광막(도시 안됨)의 패턴을 형성한 다음, 이를 식각마스크로 HT0막(16)에서부터 패드산화막(12)까지 순차적으로 식각하여 이들의 패턴이 적층된 마스크층을 형성한 후, 마스크층의 개구부에 의해 노출된 반도체기판(10)을 식각하여 소정 깊이를 갖는 트렌치(18)를 형성한다.

다음, 상기 감광막의 패턴을 제거한 후, 트렌치(18)가 형성될 때 손상된 반도체기판(10)을 보상하기 위하여 트렌치(18) 내측의 반도체기판(10)에 열산화막(20)을 형성한다.

그 후, 트렌치(18)의 내,외측 전면에 측벽산화막으로 실리콘질화막(22)을 적층하고 그 상부에 버퍼산화막으로 MT0(Medium Temperature Oxidation)막(24)을 증착한 다음, MT0막(24)을 암모니아(NH₃) 분위기에서 표면처리한다.

도 2를 참조하면, 트렌치(18)를 갠필하기 위하여 상기 결과물의 전면에 갠필용 산화막으로 CVD산화막(26a, 26b)적층하여 트렌치(18)를 채우게 된다.

상기와 같은 구조를 갖는 종래 반도체소자의 제조방법에 따르면 다음과 같은 문제점이 발생된다.

첫째, 트렌치내에 CVD산화막을 채우기 전 트렌치내에 실리콘질화막이 적층된 상태에서의 에스펙트(Aspect)비가 2.5 이상일 경우 후속의 CVD산화막 갠필 공정시에 보이드(Void)가 발생된다.

둘째, 손상(damage)과 스트레스 측면에서 유리하여 널리 사용되는 CVD산화막을 트렌치의 갠필용으로 이용하는 경우, 도 2에 도시된 바와 같이 일정 두께까지는 CVD산화막(26a)이 균일하게 증착되다가 어느 시점에서 CVD산화막(26b)에 오버행(Overhang)이 발생되면서 보이드(30)를 유발하게 된다.

이 때, 트렌치내에 보이드(30)가 액티브영역과 비슷한 높이에서 발생하는 경우 후속의 제조공정에 치명적인 영향을 미치게 되어 결국 소자의 신뢰성을 떨어뜨리게 된다.

발명이 이루고자 하는 기술적 과제

상기한 문제점을 해결하기 위한 본 발명의 목적은 트렌치를 채우는 갠필용으로 산화된 폴리실리콘막을 이용하여 트렌치의 갠필 특성을 향상시키도록 한 반도체소자의 제조방법에 제공하는 데 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위하여 본 발명에 따른 반도체소자의 제조방법은

반도체기판에 소정 깊이를 갖는 트렌치를 형성하는 단계;

상기 트렌치의 내,외측 전면에 제 1산화막과 제 2산화막을 적층하는 단계;

상기 제 2산화막 상에 CVD산화막과 폴리실리콘막을 증착하는 단계; 및

상기 폴리실리콘막을 열산화시켜 상기 트렌치를 채우는 열산화막을 형성하는 단계를 포함한다.

바람직하게, 상기 폴리실리콘막은 모노 실렌(Mono - Silane : SiH₄)계로 형성된다.

상기한 본 발명에 따르면, 반도체기판에 소정 깊이를 갖는 트렌치를 형성한 다음, 트렌치의 내,외측에 CVD 산화막을 형성하고 그 전면에 스텝커버리지가 우수한 모노 실렌계의 폴리실리콘막을 형성한 후, 이를 열산화시켜 트렌치를 채우는 열산화막을 형성함으로써 트렌치내의 보이드 형성을 억제함과 더불어 트렌치의 갠필 특성을 향상시킬 수 있다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체소자의 제조방법에 대하여 상세하게 설명하면 다음과 같다.

도 3 내지 도 5 는 본 발명에 따른 반도체소자의 제조방법을 도시한 제조공정도이다.

도 3을 참조하면, 먼저, 반도체기판(50) 상에 패드산화막(52)과, 실리콘질화막(54), HT0막(56)을 순차적으로 적층한다. 이 때, 실리콘질화막(54)과 HT0막(56)의 두께 합은 2000Å ~ 3000Å 정도로 형성한다.

다음, HT0막(56) 상에 트렌치용 감광막(도시 안됨)의 패턴을 형성한 다음, 이를 식각마스크로 HT0막(56)에서부터 패드산화막(52)까지 순차적으로 식각하여 이들의 패턴이 적층된 마스크층을 형성한 후, 마스크층의 개구부에 의해 노출된 반도체기판(50)을 식각하여 2500Å ~ 5000Å 정도의 깊이를 갖는 트렌치(58)를 형성한다. 이어서, 트렌치(58)의 식각 공정시에 손상된 반도체기판(50)을 보상하기 위하여 트렌치(58) 내측의 반도체기판(50)에 열산화막(60)을 형성한다.

그 후, 트렌치(58)의 내,외측에 측벽산화막으로 실리콘질화막(62)을 적층한 다음, 그 전면에 버퍼산화막으로 MT0막(64)을 증착한 후, MT0막(64)을 암모니아(NH₃) 분위기에서 표면처리한다.

도 4를 참조하면, 트렌치(58) 내,외측의 MT0막(64) 상에 CVD산화막(66)과 스텝커버리지가 우수한 모노 실렌(Mono-silane)계의 폴리실리콘막(68)을 순차적으로 증착한다.

이 때, CVD산화막(66)은 후속의 열산화 공정시 완충역할을 하지만, 폴리실리콘막(68)이 과다 증착되는 경우 반도체기판(50)에 스트레스가 유발되므로 스트레스를 완화시킬 수 있을 정도의 두께, 예컨대 500Å ~ 1000Å 두께 정도로 형성한다. 그리고, 후속의 열산화 공정시에 산소원자의 반도체기판(50)에 대한 어택(attack)은 트렌치(58)의 내,외측 전면에 증착된 실리콘질화막(62)에 의해 방지할 수 있다.

여기서, 폴리실리콘막(68)의 두께는 후속의 열산화 공정시에 2배 가량 증가됨을 고려하여 설정함이 바람직하다. CVD산화막(66) 상에 폴리실리콘막(68)을 증착할 때 디실렌(Di-silane)계를 사용하지 않고 모노실렌계로 증착하는 것은 박막의 도포성, 즉 스텝커버리지가 우수하기 때문이다. 따라서, 트렌치(58)의 에스펙트비가 큰 경우에도 트렌치(58)를 채우는 갭필에는 아무런 문제가 없다.

도 5을 참조하면, 그 후, 폴리실리콘막(68)을 열산화시켜 폴리실리콘막(68)의 부피 팽창에 따른 열산화막(70)을 형성하여 트렌치(58)를 채운 다음, 필요에 따라 O_3 -TEOS막(도시 안됨)을 증착하고 이를 CMP 공정으로 연마하여 평탄화한다. 따라서, 트렌치(58)내의 보이드 형성을 방지함과 더불어 트렌치의 갭필 특성을 향상시킬 수 있다.

발명의 효과

이상에서와 같이 본 발명에 따르면, 반도체기판에 소정 깊이를 갖는 트렌치를 형성한 다음, 트렌치의 내, 외측에 후속의 열산화 공정시에 유발되는 스트레스를 완화시킬 수 있을 정도 두께의 CVD산화막을 형성하고 그 전면에 스텝커버리지가 우수한 폴리실리콘막을 형성한 후, 이를 열산화시켜 트렌치를 채우는 열산화막을 형성한다.

따라서, 트렌치의 갭필용으로 CVD산화막을 이용할 때 트렌치내에 발생하는 보이드를 방지할 수 있어 트렌치의 갭필 특성을 향상시킨다.

(57) 청구의 범위

청구항 1

반도체기판에 소정 깊이를 갖는 트렌치를 형성하는 단계;

상기 트렌치의 내,외측 전면에 제 1산화막과 제 2산화막을 적층하는 단계;

상기 제 2산화막 상에 CVD산화막과 폴리실리콘막을 증착하는 단계; 및

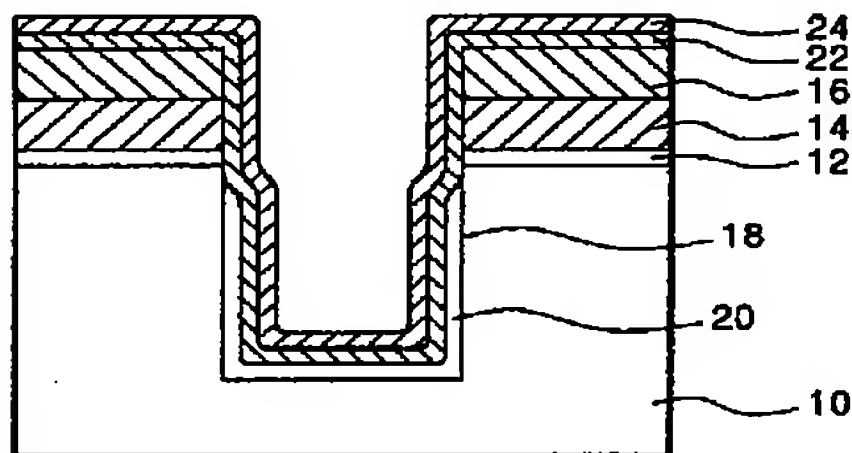
상기 폴리실리콘막을 열산화시켜 상기 트렌치를 채우는 열산화막을 형성하는 단계를 포함하는 반도체소자의 제조방법.

청구항 2

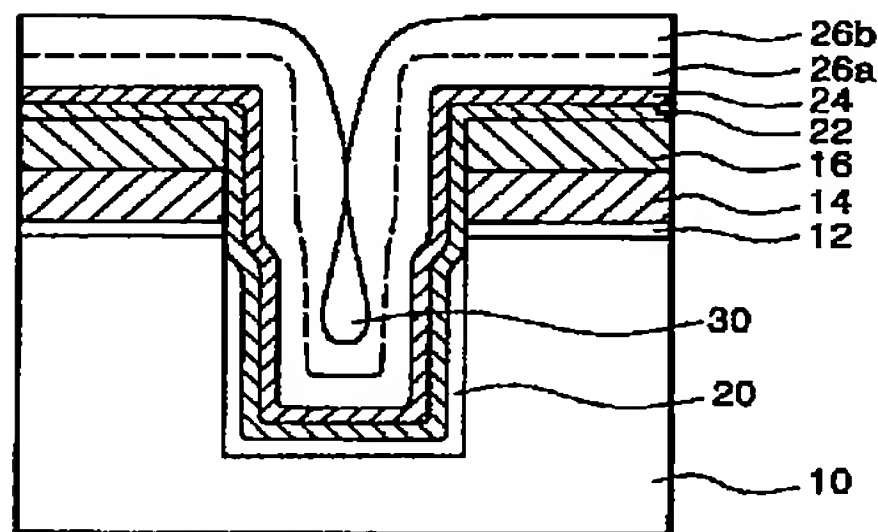
제 1 항에 있어서, 상기 폴리실리콘막은 모노 실렌(SiH_4)계의 폴리실리콘막으로 형성된 것을 특징으로 하는 반도체소자의 제조방법.

도면

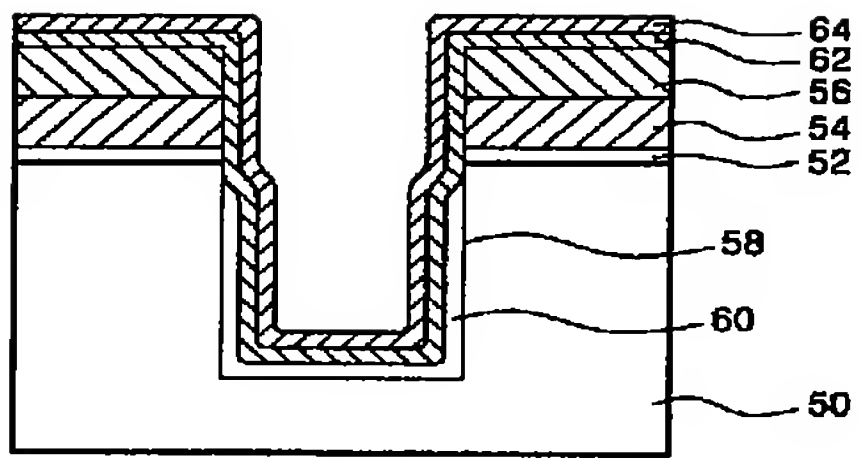
도면1



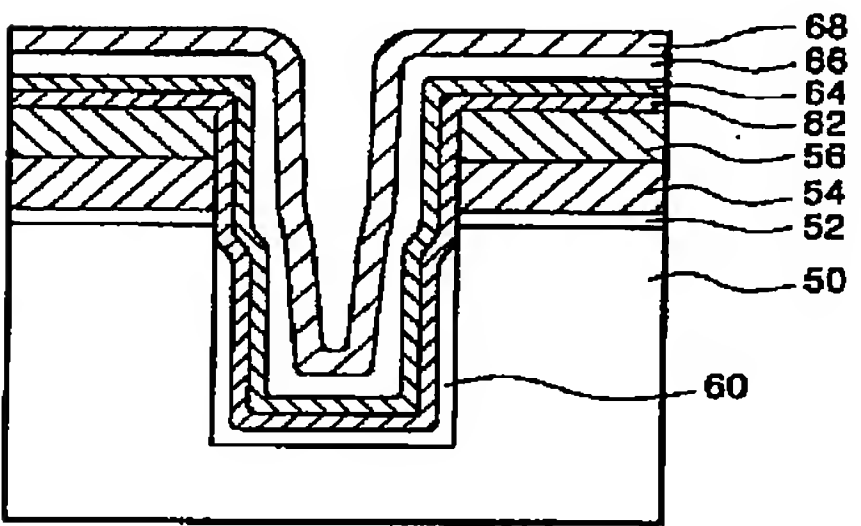
도면2



도면3



도면4



도면5

